

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-124657

(43)Date of publication of application : 15.05.1998

(51)Int.Cl.

G06T 1/60
G06F 12/06

(21)Application number : 08-274526

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 17.10.1996

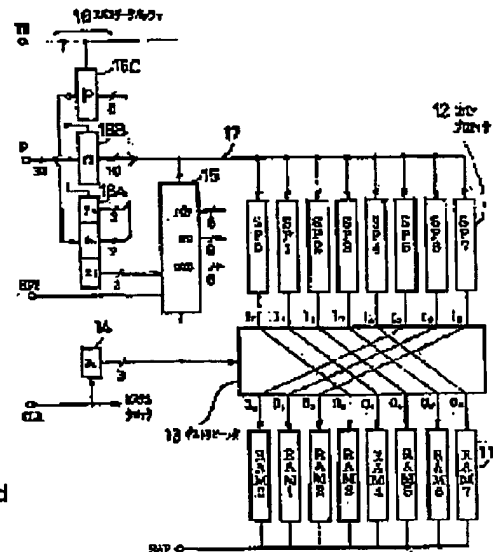
(72)Inventor : YOSHIDA TAKAYOSHI

(54) PARALLEL WRITING MEMORY AND PARALLEL WRITING MEMORY SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve processing capacity by simultaneously writing the picture data of segments to be processed by respective processing means in N different storing areas of an image data storing means in parallel by N processing means at maximum in a segment data writing processing means (span processor).

SOLUTION: Eight span processors 12 and eight RAM blocks 11 connected to one distributor 13 are stored in one memory element to miniaturize the constitution. Eight horizontal segments (spans) at maximum can be developed to pixels in parallel. Namely eight pixels at maximum in one clock are transferred through the distributor 13 and written in the RAM blocks 11. A transferred destination determining circuit 15 sequentially selects one span processor 12 generating no waiting time to execute the transfer of span data. Thereby performance reduction due to waiting time can be removed and control can be simplified by immediately starting the writing operation of the span processor 12.



(2)

特開平10-124657

1

2

【特許請求の範囲】

【請求項1】 x方向に対する画素数が $L \times N$ (L は整数、 N は2の累乗数)で与えられ、かつ、y方向に対する画素数が M (M は2の累乗数)で与えられる矩形画像領域の各画素の画像データの記憶に用いられる並列書込メモリにおいて、

N 個ある記憶領域のうち第 j 番目 (j は0から $N-1$ までの整数)の記憶領域には、上記矩形画像領域を構成する画素集合のうち、x方向の座標が $x_h \times N + j$ (x_h は0から $L-1$ までの整数)で与えられる画素集合についての画素データを記憶する画像データ記憶手段と、上記矩形画像領域上に引く線分の始点座標 (x, y_1) (y_1 は0から $M-1$ までの整数)、x方向の長さ n (n は1から $L \times N$ までの整数)、画素値 p を定義する線分データ (x, y_1, n, p)を入力し保持する線分データ保持手段と、

N 個の処理手段を有し、各処理手段はそれぞれ、上記線分データ保持手段から上記線分データのうちx方向の始点座標 x を、当該座標 x を N を法として $x_h \times N + x_1$ (x_1 は0から $N-1$ までの整数)と表したときの掛け数 x_h に置き換えてなる処理データが入力されたとき、上記 N 個の記憶領域のうち連続する n 個の記憶領域のいずれにも、アドレス (x_h, y_1) と画素値 p のそれぞれを n クロックに亘って転送する線分データ書込処理手段と、各入力が入力した N 個の処理手段の各出力に接続されると共に、各出力が入力した N 個の記憶領域に接続され、上記 N 個の処理手段と上記 N 個の記憶領域とを1対1に接続させたままの状態で当該接続関係を巡回的にシフトさせることにより、ある処理手段に接続されることになる記憶領域を1クロックづつシフトさせる N 入力 N 出力の接続切替手段と、

上記記憶領域と上記処理手段とを接続する際のシフト量を与えるカウント値 x_c と、上記x方向の始点座標 x を N を法として $x_h \times N + x_1$ と表したときの剰余 x_1 との差分に基づいて、上記線分データ保持手段に上記線分データ書込処理部への転送に備えて待機されている処理データの転送先となる処理手段を決定する転送先決定手段とを備えることを特徴とする並列書込メモリ。

【請求項2】 上記転送先決定手段は、上記カウント値 x_c と上記剰余 x_1 との差分に基づいて決定した転送先の処理手段が既に他の線分の書込み動作に使用されている場合、当該処理データの転送先となる処理手段を、上記接続切替手段による接続関係のシフトに応じて再設定することを特徴とする請求項1に記載の並列書込メモリ。

【請求項3】 x方向に対する画素数が $L \times N$ (L は整数、 N は2の累乗数)で与えられ、かつ、y方向に対する画素数が $R \times M$ (R は整数、 M は2の累乗数)で与えられる矩形画像領域の各画素の画像データの記憶に用い

られる並列書込メモリシステムにおいて、

K 個の請求項1に記載の並列書込メモリと、

上記 K 個の請求項1に記載の並列書込メモリそれぞれに並列接続されると共に、上記矩形画像領域上に引く線分の始点座標 (x, y)、x方向の長さ n (n は1から $L \times N$ までの整数)、画素値 p を定義する線分データ

(x, y, n, p)を入力し保持する外部線分データ保持手段と、

上記始点座標 (x, y)の座標 y に基づいて、当該線分データの転送先となる並列書込メモリを決定する外部転送先決定手段と、

上記外部線分データ保持手段と上記 K 個の並列書込メモリ間でなされる線分データの転送を制御する転送制御手段とを備えることを特徴とする並列書込メモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は並列書込メモリ及び並列書込メモリシステムに関し、例えば、複数の記憶領域に対する画像データの書込処理を並列処理するものに適用し得る。

【0002】

【従来の技術】

文献：特公平1-46914号 (図形表示用マルチプロセッサ)

図2に、上記文献に示されている並列プロセッサの構成図を示す。このプロセッサは、多数のポリゴン (多角形) から構成される3次元画像をCRT上に高速表示させるためマルチプロセッサ構成をとる。すなわち、1台のホストプロセッサ1と、 m 台のポリゴンプロセッサ2と、 $M \times n$ 台のスパンプロセッサと、 $M \times N$ 台のピクセルプロセッサ6とからなる。

【0003】 なお、ホストプロセッサ1は、バス9を介して、 m 台のポリゴンプロセッサ $GP1 \sim GPm$ に接続されており、これら m 台のポリゴンプロセッサ $GP1 \sim GPm$ は、 m 入力 M 出力のデストリビュータ3及び M 本のバス10を介して、 $M \times n$ 台のスパンプロセッサ $SP11 \sim SPmM$ に接続されている。また、 $M \times n$ 台のスパンプロセッサ $SP11 \sim SPmM$ は、 M 個の n 入力 N 出力のデストリビュータ5を介して $M \times N$ 台のピクセルプロセッサ $PP11 \sim PPMN$ に接続されている。

【0004】 ここで、 $M \times N$ 台のピクセルプロセッサ $PP11 \sim PPMN$ は、全体として1画分の画像データを記憶し得るようになっており、各々のピクセルプロセッサ PP においては、図3で丸印で示すように、飛び飛びの画素を分担して生成するようになっている。なお、ビデオ発生器7は、ピクセルプロセッサ PP に分散して発生された画像データを集積した後、CRT8に表示する。

【0005】 またここで、各プロセッサ間の接続に用いられるデストリビュータ3及び5は、図4に示すよう

(3)

特開平10-124657

3

に、並列シフタ（ローデータ）A、シフトカウンタB及びビットカウンタCでなり、最大mチャネルの並列転送を行ない得る構成となっている。なお、並列シフタAは、シフトカウンタBが一定の値を保っている間、各チャネルから入力される一定ビット数のデータを並列に転送する。ここで、このビット数は同図のビットカウンタCを用いてカウントされ、1回の並列転送が終了したとき、シフトカウンタBの値が1だけ増加される。かくして、入出力対応関係がシフトされ、次の並列転送に移るようになっている。

【0006】従って、かかる構成からなる並列プロセッサでは次の動作が実行される。まず、ホストプロセッサ1で発生されたポリゴンデータが、ポリゴンプロセッサ（GP）2で複数の水平線分データ（スパンデータ）に分けられた後、デストリビュータ3によって、そのスパンデータのy座標をMで除した剰余の示す行き先に順次転送される。このスパンデータは、スパンプロセッサ（SP）4により水平方向に連続する画素データに分解され、デストリビュータ5によってそのx座標をNで除した剰余の示す行き先のピクセルプロセッサ（PP）6に順次転送される。このように、スパンデータ又は画素データの発生速度に合わせて、デストリビュータの対応関係をシフトしていけば並列プロセッサが効率良く作動する。

【0007】

【発明が解決しようとする課題】しかしながら、以上述べた構成の並列プロセッサでは、以下に示すような問題点があった。

【0008】まず、第1に、デストリビュータを始めとして、多数のプロセッサやメモリを個別部品で構成することを中心しているため、回路規模が大規模にならざるを得ず、このような並列プロセッサの実現は実際のところ困難であるという点である。

【0009】第2に、デストリビュータで転送されるスパンデータや画素データには、3次元画像表示のために、x、y、z、r、g、b等の多くのデータが含まれるので、転送のために時間を要し性能が不十分となる問題があった。

【0010】第3に、デストリビュータ3とバス10を通して転送されたスパンデータは1本のバスに継るn個のスパンプロセッサ（SP）4のいずれか1つの空きスパンプロセッサ（SP）4に転送されることになるが、不適当なスパンプロセッサ（SP）4に転送されると、ピクセルプロセッサ（PP）6への画素データの転送が開始されるまでに、デストリビュータが最大1回転する期間だけ待っていなければならず、性能低下を招いていた。

【0011】

【課題を解決するための手段】

（A）かかる課題を解決するため第1の発明において

4

は、x方向に対する画素数が $L \times N$ （Lは整数、Nは2の累乗数）で与えられ、かつ、y方向に対する画素数がM（Mは2の累乗数）で与えられる矩形画像領域の各画素の画像データの記憶に用いられる並列演算メモリにおいて、以下の手段を備えたことを特徴とする。

【0012】すなわち、(1) N個ある記憶領域のうち第j番目（jは0からN-1までの整数）の記憶領域には、矩形画像領域を構成する画素集合のうち、x方向の座標が $x_h \times N + j$ （ x_h は0からL-1までの整数）で与えられる画素集合についての画素データを記憶する画像データ記憶手段と、(2) 矩形画像領域上に引く線分の始点座標（x、y1）（y1は0からM-1までの整数）、x方向の長さn（nは1から $L \times N$ までの整数）、画素値pを定義する線分データ（x、y1、n、p）を入力し保持する線分データ保持手段と、(3) N個の処理手段を有し、各処理手段はそれぞれ、線分データ保持手段から線分データのうちx方向の始点座標xを、当該座標xをNを法として $x_h \times N + x_1$ （ x_1 は0からN-1までの整数）と表したときの掛け数 x_h に置き換えてなる処理データが入力されたとき、N個の記憶領域のうち連続するn個の記憶領域のいずれにも、アドレス（ x_h 、y1）と画素値pのそれぞれをnクロックに亘って転送する線分データ変換処理手段と、(4) 各入力N個の処理手段の各出力に接続されると共に、各出力がN個の記憶領域に接続され、N個の処理手段とN個の記憶領域とを1対1に接続させたままの状態で当該接続関係を巡回的にシフトさせることにより、ある処理手段に接続されることになる記憶領域を1クロックずつシフトさせるN入力N出力の接続切替手段と、(5) 記憶領域と処理手段とを接続する際のシフト量を与えるカウンタ値xcと、x方向の始点座標xをNを法として $x_h \times N + x_1$ と表したときの剰余 x_1 との差分に基づいて、線分データ保持手段に線分データ変換処理部への転送に備えて待機されている処理データの転送先となる処理手段を決定する転送先決定手段とを備えることを特徴とする。

【0013】以上のように構成したことにより、本発明においては、線分データ変換処理手段における最大N個の処理手段が、同時並列的に、画像データ記憶手段における異なるN個の記憶領域に対しておのおのが処理対象とする線分の画像データを書き込み処理することができる。

【0014】（B）また、第2の発明においては、x方向に対する画素数が $L \times N$ （Lは整数、Nは2の累乗数）で与えられ、かつ、y方向に対する画素数が $R \times M$ （Rは整数、Mは2の累乗数）で与えられる矩形画像領域の各画素の画像データの記憶に用いられる並列演算メモリシステムにおいて、以下の手段を備えたことを特徴とする。

【0015】すなわち、(1) K個の請求項1に記憶の並

(4)

特開平10-124657

5

6

列番込メモリと、(2) K個の請求項1に記載の並列番込メモリそれぞれに並列接続されると共に、矩形画像領域上に引く線分の始点座標(x、y)、x方向の長さn(nは1からL×Nまでの整数)、画素値pを定義する線分データ(x、y、n、p)を入力し保持する外部線分データ保持手段と、(3) 始点座標(x、y)の座標yに基づいて、当該線分データの転送先となる並列番込メモリを決定する外部転送先決定手段と、(4) 外部線分データ保持手段とK個の並列番込メモリ間でなされる線分データの転送を制御する転送制御手段とを備えることを特徴とする。

【0016】以上のように構成したことにより、本発明においては、最大K個の並列番込メモリで、各線分データ番込処理手段の最大N個の処理手段が、同時並列的に、各画像データ記憶手段における異なるN個の記憶領域に対しておのおのが処理対象とする線分の画像データを書き込み処理することができる。

【0017】

【発明の実施の形態】

(A) 第1の実施形態

以下、本発明の第1の実施形態を図面を参照しながら説明する。なお、第1の実施形態は、画像データ処理用の並列番込メモリに関するものである。

【0018】(A-1) 第1の実施形態の構成

図1は、第1の実施形態に係る並列番込メモリの構成例を示す機能ブロック図である。この並列番込メモリは、8個(RAMブロック0～RAMブロック7)のRAMブロック11(請求項1における画像データ記憶手段の各記憶領域)と、8個(SP0～SP7)のスパンプロセッサ12(請求項1における線分データ番込処理手段の各処理手段)と、デストリビュータ13(請求項1における接続切替手段)と、シフトカウンタ14(請求項1における転送先決定手段)と、転送先決定回路15(請求項1における転送先決定手段)と、スパンデータバッファ16(請求項1における線分データ保持手段)とからなり、回路全体が1個のメモリ素子(LSI)内に収納されている。

【0019】ここで、8個のRAMブロック11は、画像データの並列書き込みの対象となるメモリであり、それぞれ、8個のRAMブロック全体が担当する矩形領域のうち一部領域を排他的に分担する構成になっている。なお、これら8個のRAMブロック11の各出力端は外部端子SAPに接続されている。ここで、外部端子SAPはシリアルポートであり、1画素単位での読み書きやCRTへの表示のために使用されるアドレス線やデータ線となる。

【0020】8個のスパンプロセッサ12は、それぞれ、自機に入力された水平線分(連続するn個の画素を一定画素値pで塗りつぶすものである、以下、スパンという)の画素値pを、その書き込み開始ブロックから

連続するn個(開始ブロックを含む)のブロックに対して転送する回路である。

【0021】デストリビュータ13は、8入力8出力の巡回桁移動器であり、シフトカウンタ(xc)14の指示に従い、8個のRAMブロック11と8個のスパンプロセッサ12とを常時1対1で接続する回路である。

【0022】シフトカウンタ(xc)14は、シフト数を3ビットで与えるカウンタであり、発生されたシフト数をデストリビュータ13及び転送先決定回路15に与えることにより適切な接続先と転送先を決定するように動作する。なお、当該シフトカウンタ(xc)14は、外部入力されるクロック信号CLKによって基づいて常時カウントアップ動作している。ここで、クロック信号CLKは、並列番込メモリ全体のシステムクロックとしても機能する。

【0023】転送先決定回路15は、スパンデータの転送先を決定する回路であり、その転送先は、シフトカウンタ(xc)から与えられるシフト数と各スパンプロセッサ12から与えられる動作情報に基づいて決定する。なお、転送先決定回路15の内部状態は外部出力信号RDYによって外部に知らせられるようになっている。

【0024】スパンデータバッファ16は、アドレスバッファ16Aと、スパン長バッファ16Bと、ピクセル値バッファ16Cの3つのバッファ部からなり、外部入力端子Dから入力されるデータ(y1、xh、xl、n、p)をそれぞれ対応するバッファ部に格納する構成になっている。この実施形態では、外部入力端子Dへ入力される31ビットのデータのうち、13ビットがアドレスバッファ16Aに、10ビットがスパン長バッファ16Bに、8ビットをピクセルがバッファ16Cに格納されるものとする。

【0025】なお、これらバッファ部への書き込みは、書き込みパルスであるWE入力信号により許可される。このWE入力信号は、転送先決定回路15にも入力され、スパンデータ(y1、xh、n、p)を外部から書き込んだことを知らせる。また、スパンデータバッファ16は、保持されている28ビットのスパンデータ(y1、xh、n、p)をバス17を介して、前述した8個のスパンプロセッサ(SP)12に与えている。

【0026】以上が、並列番込メモリの各部の構成である。なお、CRTへの表示方法や構成は、本実施形態とは直接関係しないので説明は省略している。また、以下の説明では、CRTへの表示のためのRAMブロックの読み出しと、デストリビュータ13側から描画するためのRAM書き込みとは、競合しないものと仮定する。

【0027】(A-2) 第1の実施形態の動作

以上の構成を有する並列番込メモリによる画素データの番込動作を説明する。

【0028】(A-2-1) 画像空間とRAMブロックとの対応関係

(5)

特開平10-124657

7

8

この実施形態では、並列送込メモリの生成する画像空間（画面）が、図5に示すように、8行×1024列の画素配列であるものとする。

【0029】従って、8個のRAMブロック0～7は、これら8行×1024列で与えられる画素分の画像を分担して記憶することになる。ここでは、RAMブロック11に付された通し番号がjであるとき、当該RAMブロック11jに、x座標の下位3ビットの値（すなわち、x1）がjである画素の画素データを全て記憶するようにする。例えば、RAMブロック110の場合、図5において白丸で示すように、x座標が8の倍数である画素が分担画素となる。すなわち、x座標を8を法として分類したとき、同じ剰余類に属する画素データを分担する。

【0030】なおここで、1画素データは8ビットで与えられるものとし、輝度又は色を指定するものとする。また、3次元画像で使用される深度z値は含まれていないものとする。

【0031】また画面サイズについては、水平方向（x方向）の1024は画面の水平方向のフルサイズを表しているが、垂直方向（y方向）は8行分しか占めていないので、例えば、垂直方向が512行の画像を合成するには、図1の並列送込メモリが64個必要になる。この場合、1個の並列送込メモリが、画面上の連続する8行を分担する場合だけでなく、連続しない8行分を分担する場合もあり得るが、これらはシステムの仕様に属する問題である。

【0032】このように、画面サイズが8行×1024列であるものとすると、8個のスパンプロセッサSP12は、それぞれ、これら8行×1024列の画素からなる矩形配列上に、自機が分担することになった任意の水平線分（スパン）を描画するよう動作する。

【0033】以下では、水平線分（スパン）として、例えば、図5において太枠で囲み斜線を施して示すように、各画素を一定の色と輝度で塗りつぶす場合について説明する。このことは、y1=3の走査線上に位置するx=10からx=20まで連続するn=11個の全ての画素に、画素値p=200を書き込むことを意味する。

【0034】図1の並列送込メモリで、この例に示すような水平線分（スパン）を描画するには、アドレスバッファ16Aにy1=3、xh=1、x1=2を書き込むと共に、スパン長バッファ16Bにn=11を書き込み、さらに、ピクセル値バッファ16Cにp=200を書き込めば良い。ここで、xh及びx1はそれぞれ、図5に示す水平線分（スパン）の端点のうち左端点のx座標（x=10）の上位7ビットと下位3ビットの値である。

【0035】（A-2-2）転送先決定回路15による転送先スパンプロセッサ12の決定

このように、スパンデータが外部からスパンデータバッ

ファ16に書き込まれると、以後は、並列送込メモリの内部動作として、RAMブロック11への画素展開までのシーケンスが実行される。

【0036】このRAMブロック11への書き込みは、左端画素から右端画素まで順番に、1クロックにつき1画素の速度で行われる。転送先決定回路15は、スパンデータバッファ16に設定されたスパンデータのRAMブロック11への書き込みを直ちに開始できるように、8個のスパンプロセッサ（SP）12のどれに転送すべきかを、左端点のx座標の下位3ビットx1、及びシフトカウンタ14の現在値xcに基づいて決定し、さらにその転送先となるスパンプロセッサ（SP）12がレディ（rdy）状態にあることを確認した上で、そのスパンプロセッサ（SP）12にライトエネーブル（we）信号を出すことによってスパンプロセッサ（SP）12への転送を行なう。

【0037】この転送先決定回路15による転送先スパンプロセッサ（SP）12の決定方法を、図6を用いて説明する。ここでは、転送先スパンプロセッサ（SP）12の番号をiとする。またこのとき、シフトカウンタ14の現在値をxcとする。このとき、デストリビュータ13は、転送先スパンプロセッサ（SPi）12に対応する入力ポートiを、これを右にxcポジションだけ巡回的にシフトさせたi+xcの位置の出力ポートjに接続させている。

【0038】ところで、スパンプロセッサ（SPi）12にスパンデータを転送するものとする、実際の書き込みは、その次のクロック期間に左端点の画素データから開始されるので、実際に書き込みが開始される時点では、シフトカウンタ14のカウント値xcの値は1だけ増加したxc+1になっていると共に、そのときの入力ポートiはi+xc+1の出力ポートj+1に接続されることになる。このとき、接続先が目標とする番号x1のRAMブロック11に一致していなければならないので、x1=i+xc+1とならなければならない。従って、転送先スパンプロセッサ（SP）12は、i=x1-xc-1によって与えられる位置でなければならない。なお、以上述べた加減算は全て8を法とする加減算である。

【0039】このようにして求めた転送先スパンプロセッサ（SPi）12がレディ（rdy）状態にない場合には（すなわち、他のスパンデータの書き込みに使用中である場合には）、そのクロック期間では求められたスパンプロセッサ（SPi）12への転送を行わず、次のクロック期間で新たに正しい転送先を求め直す。ここで、新たな転送先スパンプロセッサ（SP）12は、前回の転送先SPの左隣りのスパンプロセッサ（SPi-1）12である。これは図6で説明すると、目標RAMブロックの位置x1が固定された状態で、転送先スパンプロセッサ（SP）の位置がシフトカウンタxcのカウ

(6)

特開平10-124657

8

10

ントアップと共に左方に1ポジションづつ移動されて行くことで理解される。こうして、1クロックに1個づつスパンプロセッサ(SP)のレディ(rdy)状態をスパンプロセッサ(SP)番号が減少する方向にチェックして行き、最初にrdy=1を出したスパンプロセッサ(SP)にスパンデータを転送する。

【0040】次に、かかる動作を実行する転送先決定回路15の内部構成を図7を用いて説明する。転送先決定回路15は、スパンデータバッファ16から入力される下位アドレスx1(ブロック番号に対応)とシフトカウンタ14から与えられるカウント値xcの値から、前述した $x1 - xc - 1$ の値を算出するため、カウント値xcの各ビットをインバータ15Aで反転して $-xc - 1$ を求める。次に、転送先決定回路15は、加算器15Bにおいて、この値($-xc - 1$)に下位アドレスx1を加えることにより前述の式を得、これをデコーダ15Dに通して8ビットパターンに変換する。

【0041】このとき、デコーダ15Dからは、その出力番号 $i = x1 - xc - 1$ のみが1で他は全て0になる。そして、これらデコーダ出力の各々について、対応するスパンプロセッサ(SP)12の動作状態を示すrdy信号(rdyi: $i = 0 \sim 7$ の整数)との論理積が個別のANDゲート15Eによって取られ、その結果がライトエネーブル(we)信号(wei: $i = 0 \sim 7$ の整数)として各スパンプロセッサ(SPi)12に返される。従って、上述のように求めた $i = x1 - xc - 1$ 番目のスパンプロセッサ(SP)12がrdy=1の状態にあれば、そのスパンプロセッサ(SP)のみにスパンデータが転送されることになる。

【0042】ところで、以上の動作は、外部入力信号であるWE入力信号によって起動される。すなわち、WE入力信号によって、フリップフロップ(FF)15Cが「1」にセットされると、このフリップフロップ(FF)15Cは、RDY信号を論理「0」とし、デコーダ15Dをエネーブルにする。そして、転送先スパンプロセッサ(SP)12がrdy状態にあれば、そのスパンプロセッサ(SP)にwe信号を送るのである。このように、スパンプロセッサ(SP)12への転送は8入力論理和ゲート15Gにより検出され、フリップフロップ(FF)15Cのリセットに使用される。すなわち、いずれかのスパンプロセッサ(SP)にライトエネーブル(we)信号が出力されると、フリップフロップ(FF)がリセットされ、RDY=1の状態に戻る。

【0043】なお、転送先に選んだスパンプロセッサ(SP)がrdy状態になれば、前述したように、次のクロック期間を行つ。次のクロック期間では、カウンタ値xcの入力値が1だけ増加するので、 $i = x1 - xc - 1$ を1だけ減少させた番号で特定されるスパンプロセッサ(SP)12が選ばれる。因みに、もう1つのデコーダ15Fは、各スパンプロセッサ(SP)が動作中

に上位アドレスxhをカウントアップすべき時点を知らせるcup信号を生成するのに用いられる。

【0044】(A-2-3)スパンデータの転送を受けたスパンプロセッサの内部動作

図8は、1個のスパンプロセッサ(SPi)12の内部構成と、デストリビュータ13を介して接続されるRAMブロック(RAMj)11との信号線の対応を示した図である。スパンプロセッサ(SPi)12は、バス17から28ビットのスパンデータ(y1、xh、n、p)が入力されると、wc信号により指示されたタイミングで、アドレス10ビットをy1バッファ12A及びxhカウンタ12Bに、スパン長10ビットをnカウンタ12Cに、ピクセル値8ビットをpバッファ12Eに同時に書き込む。

【0045】このとき、rdyフリップフロップ(FF)12Dは論理「1」から「0」にリセットされ、以後のデータ受け入れを禁止する。なお、デストリビュータ13で送られるのは、これらスパンデータのうちy1、xh、pの値と、rdy信号の計18ビットである。なお、スパンプロセッサ(SPi)12が動作中はrdy=0であるから、これをRAMブロックjの書き込み許可信号(負論理)として使用する。ここで、RAMブロックjは1024ワード×8ビットで、アドレスはy1、xhの値で、データはpの値で指定する。

【0046】ところで、前述したように、wc信号によりデータを受けた次のクロック期間から連続するnクロックを要して、引き続くn個のRAMブロックに1画面づつ順次転送されるが、データの行き先はデストリビュータ13が決めるのでスパンプロセッサ(SP)12は関知しなくて良い。また、RAMブロックjもデータを受動的に書き込むだけであるから、制御回路は単純なもので良い。ただし、書き込みエネーブルパルスはデストリビュータ13の遅延を考慮して正しく作る必要がある。図8の場合、シリアルアクセスポートSAPは、RAMブロックjの第2ポートに接続されている。スパンプロセッサ(SP)12がRAMブロックjへの書き込み動作中は、nカウンタ12Cは、ダウンカウンタとして動作し、nクロック後に「0」になった時に、rdyフリップフロップ(FF)12Dをセットして、RAMブロック11への書き込み動作を終了する。

【0047】なお、xhカウンタ12Bは、x座標の上位7ビットを与えるものであるから、x座標の下位3ビット、すなわち行き先RAMブロック番号が7から0に変わる時にカウントアップさせる必要がある。ここで、スパンプロセッサ(SPi)がRAMブロック11に接続されるのは、 $xc = 7 - 1$ の時点であるから、図7で、カウンタ値xcを、インバータ15Aとデコーダ15Eを通してcupi信号を生成し、これを各スパンプロセッサ(SPi)12に送り、スパンプロセッサ(SPi)12がRAM書き込み動作中ならば、その上位ア

(7)

特開平10-124657

11

ドレスxhをカウントアップする。

【0048】(A-3)第1の実施形態の効果
以上のように、第1の実施形態における並列書込メモリによれば、1個のデストリビュータ13に接続された8個のスパンプロセッサ12と8個のRAMブロック11を全て1個のメモリ素子中に収納しただけの構成で良いので、従来に比してそのシステム構成を格段に小型化することができる。

【0049】また、第1の実施形態における並列書込メモリによれば、最大8個の水平線分(スパン)を並列に画面展開できる。すなわち、1クロックで最大8画素をデストリビュータ13を通して転送し、RAMブロック11に書き込むことができるので、例えば、当該並列書込メモリを、20MHzのクロックで動作させれば、毎秒1.6億ピクセルの表示性能を実現できる。

【0050】また、転送先決定回路15は、待ち時間を生じないようなスパンプロセッサ12を逐次1つ選択してスパンデータの転送を実行するので、待ち時間による性能低下がなく、しかも、スパンプロセッサ12も直ちに書き込み動作を開始すれば良いので制御が簡単である。従って、並列書込メモリ内部のスパンプロセッサ12及びRAMブロック11の個数を増しても、外部端子数を増加することなく、性能を容易に増大させることができる。

【0051】(B)第2の実施形態
以下、本発明の第2の実施形態を図面を参照しながら説明する。この第2の実施形態も、画像データ処理用の並列書込メモリに関するものである。

【0052】(B-1)第2の実施形態の構成
図9は、第2の実施形態に係る並列書込メモリシステムの構成例を示す機能ブロック図である。この並列書込メモリシステムは、第1の実施形態の並列書込メモリ(図中、PWM0~PWM63で示す)18を64個使用することにより形成されるシステムであり、全体として1画面分の画素データを信号処理するようになっている。

【0053】従って、この並列書込メモリシステムは、64個の並列書込メモリ18の他、これらを駆動する各種ブロックによって構成されている。すなわち、並列書込メモリ18に与えるスパンデータを保持する外部スパンデータバッファ19と、スパンデータを転送する対象となる並列書込メモリ18を指定する転送先指定バッファ20と、書込エネーブル信号(HWE)入力用フリップフロップ21と、インバータ22と、デコーダ23と、64個のアンドゲート24と、オアゲート25とである。

【0054】まず、外部スパンデータバッファ19は、入力データ端子HDから入力される37ビットのデータのうち並列書込メモリ18に書き込む31ビットのデータを入力するバッファである。この31ビットの内容は、第1の実施形態で説明したものと同一であり、これ

12

らは、64個全ての並列書込メモリ18に対して並列に入力される。

【0055】転送先指定バッファ(yh)20は、入力された37ビットのうち残り6ビットを入力するバッファである。ここで、y方向上位アドレスyhは、当該データと同時に入力されるスパンデータが、64個ある並列書込メモリ18のうちいずれに対するものかを表すデータである。なお、これらバッファ19及び20へのデータの書き込みは、書込エネーブル端子に入力される書込エネーブル信号(HWE)のパルスによって同時に設定される。

【0056】デコーダ23は、転送先指定バッファ20から入力される6ビットのアドレスデータを64ビットのデータにデコードする手段である。ここで、デコーダ23は、6ビットのアドレスデータによって指定された並列書込メモリ18に対応する出力だけが「1」となり、残る63ビットの出力が「0」となるようにデータ変換する。

【0057】64個のアンドゲート25は、それぞれが、デコーダ23から出力されるこれら64個の出力に対応するゲートであり、各デコーダ出力とこれに対応する並列書込メモリ18の内部状態信号(RDY信号)との論理積を、並列書込メモリ18のWE端子出力するようになっている。

【0058】オアゲート25は、64入力のおアゲートであり、64個あるアンドゲート24のいずれかより対応する並列書込メモリ18にWE信号が出力されると、その都度、フリップフロップ21をリセットするように動作する。ここで、当該オアゲート25と、フリップフロップ21と、インバータ22は、転送制御回路として動作する。

【0059】なお、シリアルアクセスポート(SAP)は、64個ある並列書込メモリ18の内部RAMブロックにそれぞれ接続されており、画素データを1画素単位で読み書きしたり、CRTに表示するのに用いるアドレス及びデータからなる。ここで、このシリアルアクセスポート(SAP)からCRTへの表示のためのRAM読み出しと、ホストプロセッサ側からスパンを描画するためのRAM書き込みは、競合しないものと仮定する。ここで、RAMの競合を避ける手段としては、1画面が完成するまでCRTへの読み出しを行なわない方法や、1クロック期間の前半をスパン描画に、後半をCRT読み出しに使用する方法、2ポートRAMを使用する方法などが考えられる。

【0060】また、図中の書き込みエネーブル端子HWE、入力データ端子HD、HRDY端子は、それぞれ、例えばホストプロセッサに接続されているものとする。

【0061】(B-2)第2の実施形態の動作
以上の構成を有する並列書込メモリシステムについて、その画素データの書込動作を説明する。なお、この実施

(8)

特開平10-124657

13

14

形態では、並列書込メモリシステム全体の生成する画像空間（画面）が、図10に示すように、512行×1024画素の画像配列であるものとし、これを8行ずつ64個に分割した各領域の画素データを並列書込メモリ18のいずれかに記憶させるように動作する。

【0062】まず、スパンデータの入力から説明する。この並列書込メモリシステムは、入力データ端子H1から全画面（512行×1024画素）のうち任意の水平線分（スパン）に対する画素データ（すなわち、スパンデータ）が入力されると、当該スパンデータのうちy座標の上位6ビットyhを転送先指定バッファ20に取り込み保持する。そして、当該上位6ビットyhによって指定される転送先がいずれの並列書込メモリ（PWM1）であるかデコーダ23においてデコードし決定する。

【0063】そして、並列書込メモリシステムは、外部スパンデータバッファ19に書き込まれている残り29ビットのスパンデータ（p、n、y1、xh、x1）を、転送先に決まった並列書込メモリ（PWM1）に対して転送し、これを第1の実施形態において説明したのと同様の方法で画素展開する。すなわち、スパンデータが転送された並列書込メモリ18は、それぞれ、図5に示したように、8行×1024画素のデータを、8個の内部RAMブロック11に分担することにより当該画素データを記憶するように動作する。

【0064】ところで、これら動作を起動するのは、書き込みエネーブル端子HWEに入力されるHWE信号である。すなわち、当該HWE信号が入力され、書き込むべきスパンデータの入力があったことが知らされると、当該HWE信号によって各バッファ19及び20にスパンデータの取り込みが行われ、かつ、フリップフロップ（FF）21が「1」にセットされる。このように、フリップフロップ（FF）21がセットされると、動作中であることがHRDY＝「0」として外部に知らせられると共に、デコーダ23がエネーブル状態になり、転送先がデコードされる。

【0065】ここで、y座標上位6ビットyhのデコード結果がkであり、その際、転送先に決定された並列書込メモリPWMkが書き込み可能な状態（RDYk＝1）にあれば即座に書き込みが開始され、反対に、書き込み可能でない状態（RDYk＝0）であれば書き込みができる状態になるまで書き込みが待機される。

【0066】いずれにしても、書き込みが開始されると、64入力論理ゲート25の出力が「1」になり、フリップフロップ（FF）21のリセットが行われる。この結果、フリップフロップ（FF）の出力は「0」になり、外部に出力される信号はHRDY＝「1」になる。

【0067】（B-3）第2の実施形態の効果

以上のように、第2の実施形態に係る並列書込メモリシ

ステムによれば、最大8個のスパンデータを並列的に画素展開できる並列書込メモリを64個を並列駆動させながら半込動作を行うようにしたので、最大512個のスパンを並列に画像メモリに書き込むことができる。従って、例えば20MHzのクロックで動作させれば毎秒100億ピクセルもの表示性能が得られる。これは2万フレーム／秒あたり、実時間動画30フレーム／秒をはるかに越える性能である。

【0068】また、転送タイミングを制御する転送制御回路を、フリップフロップ21、インバータ22及びオアゲート25といった簡単な回路構成で構成でき、しかもこれらは効率良く動作するので、多数のメモリ素子を接続する場合にも従来のようにプロセッサ間のタイミング制御等を必要とせず、格段に性能の高い並列書込メモリシステムを実現することができる。

【0069】（C）他の実施形態

（C-1）なお、上述の第1及び第2の実施形態においては、画像データの一般的な書き込み例について述べたが、本発明は、ランレングス形式で符号化されたアニメーション画像データから画像を再生するのに特に適している。例えば、上述の実施形態の構成に対し、ピクセル値pとスパン長nの対（p、n）の系列が入力された場合に、スパン長nの累算機能によってアドレスx1、xh、y1及びyhを発生する回路を追加すれば本システムで処理することができる。

【0070】（C-2）また、上述の第2の実施形態においては、各並列書込メモリ18が担当する画像領域を、図10に示すように、全画面領域のうち連続する小領域に設定する場合について述べたが、本発明はこれに限定されるものではなく、飛び飛びの行を分担させることもできる。この場合には、外部転送先バッファがy座標の上位6ビットxhでなく、下位6ビットx1を記憶し、上位3ビットxhがスパンデータの一部分となる。

【0071】（C-3）さらに、上述の第2の実施形態においては、それぞれ別部品である複数個の並列書込メモリ18を用いて並列書込メモリシステムを構成する場合について述べたが、これら並列書込メモリ18は同一チップ上に形成されているものでも良い。

【0072】（C-4）さらに、上述の実施形態においては、x方向を水平方向とし、y方向を縦方向として説明したが、これについては互いに逆の方向を表していても良い。

【0073】

【発明の効果】以上のように、第1の発明によれば、線分データ書込処理手段における最大N個の処理手段が、同時並列的に、画像データ記憶手段における異なるN個の記憶領域に対しておのおのが処理対象とする線分の画像データを書き込み処理できるので、非常に処理能力の高い並列書込メモリを実現することができる。また、第1の発明に係る並列書込メモリは、N個の記憶領域を有

する画像データ記憶手段と、N個の処理手段を有する線分データ書込処理手段と、統括切替手段のそれぞれを全て1個のメモリ素子内に収納できるので、従来に比して格段に小さいシステムを実現することができる。

【0074】また、以上のように、第2の発明によれば、最大K個の並列書込メモリで、各線分データ書込処理手段の最大N個の処理手段が、同時並列的に、各画像データ記憶手段における異なるN個の記憶領域に対してのおおのが処理対象とする線分の画像データを書き込み処理できるので、非常に処理能力の高い並列書込メモリシステムを実現することができる。

【図面の簡単な説明】

【図1】第1の実施形態に係る並列書込メモリの構成例を示すブロック図である。

【図2】画像の生成に使用される並列プロセッサの従来構成例を示すブロック図である。

【図3】図2に示すピクセルプロセッサの画素分担例を示す説明図である。

【図4】図2に示すディスプレイユニットの内部構成例を示すブロック図である。

【図5】図1に示すRAMの画素分担とスパンとの対応関係を示す説明図である。

【図6】転送先スパンプロセッサの決定方法の説明に供

する概念図である。

【図7】図1に示す転送先決定回路の内部構成を示すブロック図である。

【図8】図1に示すスパンプロセッサの内部構成を示すブロック図である。

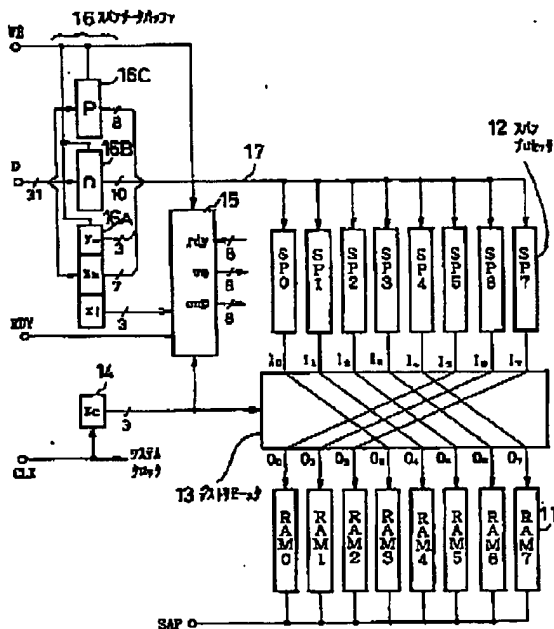
【図9】第2の実施形態に係る並列書込メモリシステムの構成例を示すブロック図である。

【図10】図9に示す並列書込メモリの画面分担例を示す説明図である。

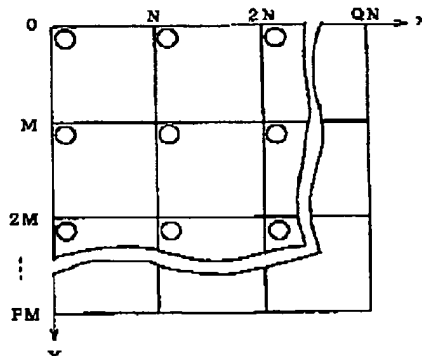
【符号の説明】

11…RAMブロック、12…スパンプロセッサ、12A、12B…アドレスバッファ、12C…nカウンタ、12D…フリップフロップ、12E…pバッファ、13…デストリビュータ、14…シフトカウンタ、15…転送先決定回路、15A、15H…インバータ、15B…加算器、15C…フリップフロップ、15D、15F…デコーダ、15E…アンドゲート、15G…オアゲート、16…スパンデータバッファ、16A…アドレスバッファ、16B…スパン長バッファ、16C…ピクセルバッファ、17…バス、18…並列書込メモリ、19…外部スパンデータバッファ、20…転送先指定バッファ、21…フリップフロップ、22…インバータ、23…デコーダ、24…アンドゲート、25…オアゲート。

【図1】



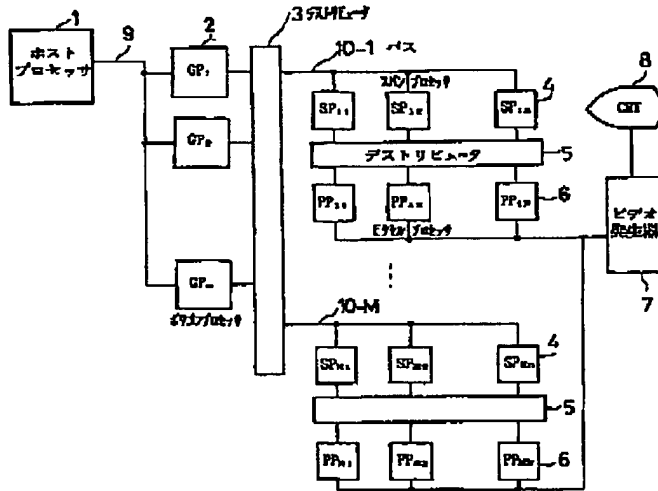
【図3】



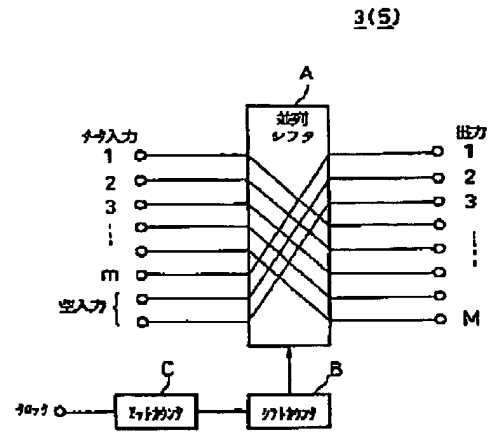
(10)

特開平10-124657

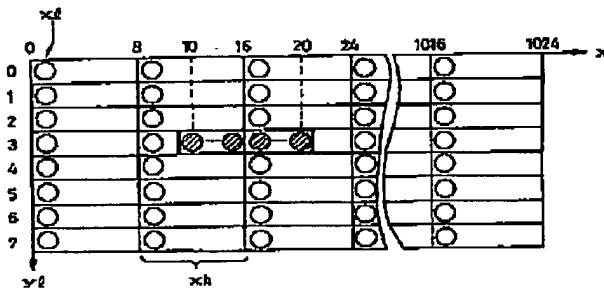
【図2】



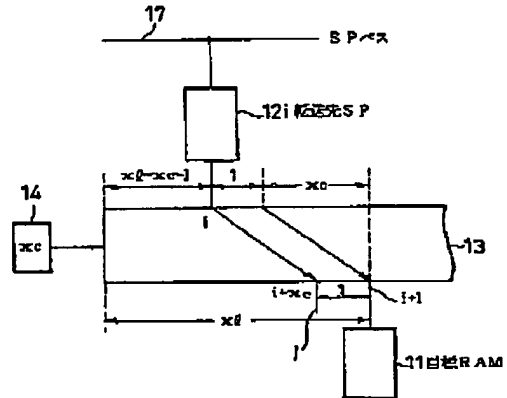
【図4】



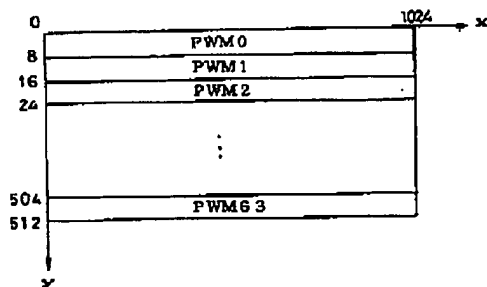
【図5】



【図6】



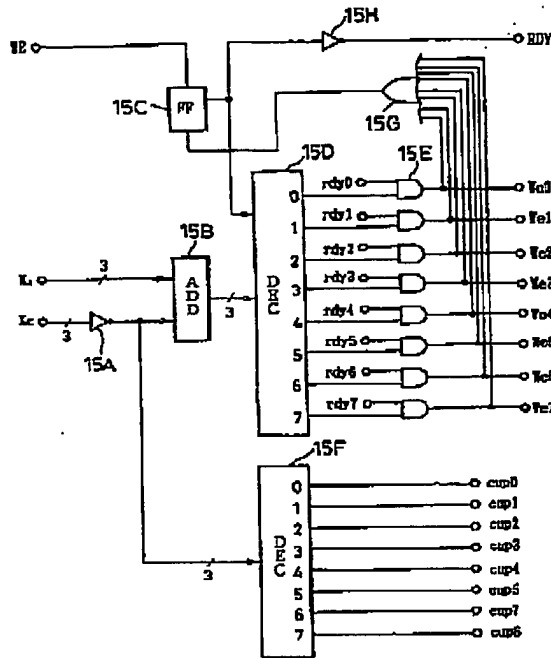
【図10】



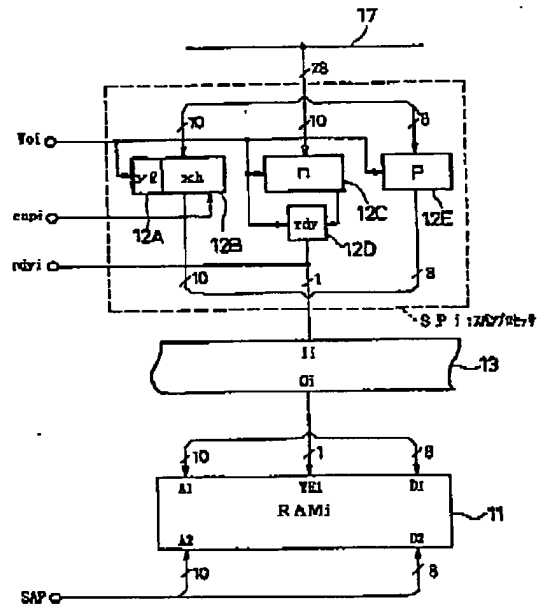
(11)

特開平10-124657

【図7】



【図8】



【図9】

